

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許出願公告番号

特公平7-58589

(24) (44)公告日 平成7年(1995)6月21日

(51)Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/401

G 1 1 C 11/ 34

3 6 2 H

発明の数1(全 8 頁)

(21)出願番号 特願昭62-83162
(22)出願日 昭和62年(1987)4月3日
(65)公開番号 特開昭63-247995
(43)公開日 昭和63年(1988)10月14日

(71)出願人 999999999
三菱電機株式会社
東京都千代田区丸の内2丁目2番3号
(72)発明者 有本 和民
兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社エル・エス・アイ研究所内
(74)代理人 弁理士 高田 守

審査官 林 紘樹

(56)参考文献 特開 昭57-203290 (J P, A)
特開 昭59-72699 (J P, A)
特開 昭61-126689 (J P, A)

(54)【発明の名称】 半導体記憶装置

1

【特許請求の範囲】

【請求項1】 1つのMOSFETおよび1つのキャパシタからなるメモリセルが行および列からなるマトリクス状に配置され、それぞれが複数列のメモリセルを有する複数の群に分割されるメモリアレイ、
上記メモリアレイにおける各列にそれぞれが配置され、配置された列における複数のメモリセルに接続される複数のビット線対、
上記複数のビット線対に接続される複数のセンスアンプ、
上記メモリアレイの各群における各行にそれぞれが配置され、配置された行における複数のメモリセルに接続される複数の副ワード線、
上記メモリアレイにおける行方向に上記複数の群に亘って延在し、各群に配置された複数の副ワード線のうちの

2

いずれかに対応してそれぞれが配置される複数の主ワード線、
アドレス信号に応じて上記複数の主ワード線のうちのいずれかを選択する行デコーダ、
各主ワード線とこの主ワード線に対応した副ワード線との間にそれぞれ接続され、上記行デコーダによって選択された主ワード線に対応した副ワード線のうちからアドレス信号に応じたいずれかを選択する複数の副ワード線選択手段、
10 上記複数のセンスアンプに共通に設けられ、所定の電位を伝達するセンスアンプ用共通配線、
上記複数のセンスアンプと上記センスアンプ用共通配線との間に接続され、選択された副ワード線に接続されたメモリセルが接続されるビット線対に接続されたセンスアンプと上記センスアンプ用共通配線とをアドレス信号

に応じて接続させるスイッチング手段を備える半導体記憶装置。

【請求項2】 センスアンプ用共通配線は主ワード線に並行に配置され、

スイッチング手段は、各センスアンプに対応してそれぞれが設けられ、対応するセンスアンプと上記センスアンプ用共通配線との間に接続され、アドレス信号に応じて選択的に導通する複数のスイッチを有することを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

【請求項3】 リフレッシュ時は、全ての群において行デコーダにより選択された主ワード線に対応した副ワード線が選択されることを特徴とする特許請求の範囲第1項または第2項記載の半導体記憶装置。

【発明の詳細な説明】

【産業上の利用分野】

この発明は半導体記憶装置に係り、特にダイナミックRAMの消費電力の軽減に関するものである。

【従来の技術】

自己リフレッシュ機能を持った半導体記憶装置として、バーチャリスタティックRAM（以下、「VSRAM」と言う。）が知られている。このVSRAMは、ダイナミックRAMに用いられるメモリセルを用いて実質的にスタティックRAMを実現するものである。すなわち、各メモリセルは、ひとつのMOSFETとひとつのキャパシタとを用いて形成されており、このメモリセルに対するリフレッシュ関係の動作をオンチップで行なう。このためユーザがリフレッシュのための回路を準備する必要がなく、VSRAMは、ユーザに負担がかかからないメモリとなっている。第2図はこのようなVSRAMの全体構成を示すブロック図であり、第3図はその中に含まれる従来のメモリセル周

辺の回路図である。この装置はK.Nogami et.al., "1-Mbit Virtually Static RAM", IEEE J.Solid-State Circuits, vol. SC21 No.5, Oct, 1986に開示されている。同図において、第2図のVSRAMは第3図に示したメモリセル M_{ij} ($i = 1 \sim m, j = 1 \sim n$) の2次元配列を含むメモリアレイ1を備えている。このメモリアレイ1に対して通常アクセス（すなわち、データの読書きのための外部からのアクセス）を行なう際には、第4図（a）に示すようなタイミングで行アドレスRAおよび列アドレスCAが外部から与えられ、これらのアドレスRA, CAは、行アドレスバッファ7および列アドレスバッファ12においてそれぞれバッファされる

このうち、行アドレスバッファ7から出力された行アドレスRAはアドレスマルチプレクサ8に与えられる。リフレッシュ動作が行なわれていないときには、通常アクセス要求ACSREQにตอบสนองしてアービタ回路11がアドレスマルチプレクサ8を行アドレスバッファ7側に切換えており、このアドレスマルチプレクサ8を介して行アドレスRAが行デコーダ3に与えられる。行デコーダ3は行アドレスRAをデコードして、メモリアレイ1中のひとつの行

を選択し、第3図のワード線 WL_i ($i = 1 \sim m$) のうち、選択された行についてのワード線を第4図（b）のように活性化する。

データ読出し時においては、このようにして選択された行に属するメモリセル（たとえば $M_{21} \sim M_{2n}$ ）からデータが読出され、センスアンプ群2に含まれるすべてのセンスアンプ SA_j ($j = 1 \sim n$) が活性化されることによって、これらのデータの検出および増幅がビット線 BL_{ja}, BL_{jb} ($j = 1 \sim n$) 上で行なわれる。この動作は第4図（d）中にデータDとして示されている。

一方、列アドレスバッファ12でバッファされた列アドレスCAはタイミングジェネレータ6を介して列デコーダ4に与えられる。列デコーダ4はこの列アドレスCAをデコードして、メモリアレイ1中の特定の列を選択し、第3図のI/Oゲートトランジスタ Q_{ja}, Q_{jb} ($j = 1 \sim n$) のうち、選択された列についてのトランジスタをオンとする。

そして、選択された列についてのデータはI/O線21および▲▼線22を介して第2図のバッファレジスタ5に保持された後、入出力バッファ14を介して、第4図（e）のタイミングで入出力ピンへと出力される。なお、バッファレジスタ5は、メモリセルのデータをこのバッファレジスタ5に移すことにより、メモリセルを通常アクセスから早期に解放し、それによってリフレッシュの実行可能期間を広げるために設けられている。

一方、このVSRAMのリフレッシュは、ワード線 WL_i やメモリセル M_{ij} 、それにセンスアンプ群2が通常アクセスによって使用されていない期間を利用して行なわれる。このような期間としては、通常アクセスにおいてアドレスキューを待つ期間やアドレスをデコードしている期間、それに、出力回路を駆動している期間などがある。

具体的には、まず、メモリセル M_{ij} におけるデータ保持可能時間に応じた時間をリフレッシュタイマ10が計時し、リフレッシュを必要とする時刻になるとリフレッシュタイマ10からリフレッシュ要求信号REFREQがアービタ回路11に出力される。また、リフレッシュタイマ10からの出力にตอบสนองして、リフレッシュアドレスカウンタ9がリフレッシュすべきアドレスをアドレスマルチプレクサ8に出力する。

アービタ回路11はコントロール回路13およびタイミングジェネレータ6によってコントロールされている。そして、メモリセルが通常アクセスから解放されているときには、アービタ回路11がアドレスマルチプレクサ8を切換えて、リフレッシュアドレスカウンタ9から出力されるリフレッシュアドレスRFAを行デコーダ3に与える。それによって、指定されたワード線が第4図（c）のように活性化し、指定された行アドレスに属するメモリセルのリフレッシュが開始される。この動作におけるビット線 BL_{ja}, BL_{jb} の活性化状態が第4図（d）に信号RFで示されている。

なお、リフレッシュ要求信号REFREQが与えられた時点において通常アクセスによるメモリセル M_{ij} の使用が行なわれているときには、その使用が完了するまでのリフレッシュ待機状態とさせる。そして、メモリセル M_{ij} が通常アクセスから解放された後にリフレッシュ動作を行なわせる。

また、逆にリフレッシュ動作が行なわれている間に通常アクセス要求があったときには、リフレッシュ動作からメモリセルが解放された後に通常アクセス動作が実行される。

〔発明が解決しようとする問題点〕

従来のVSRAMは以上のように構成されているため、通常アクセス時において、選択されたメモリセル（たとえば M_{21} ）と同じ行に属するメモリセル（ $M_{21} \sim M_{2n}$ ）のすべてが、ワード線 WL_2 の電位の立上げによってビット線 BL_{ja} 、 BL_{jb} （ $j = 1 \sim n$ ）に接続される。そして、センスアンプ SA_j （ $j = 1 \sim n$ ）もすべてが活性化される。しかしながら、実際にデータの読出しを行なうのは選択されたメモリセル M_{21} のみであって、同一行に属する他のメモリセル M_{2j} （ $j \neq 2$ ）やビット線 BL_{ja} 、 BL_{jb} （ $j \neq 2$ ）、それにセンスアンプ SA_j （ $j \neq 2$ ）の動作は必要ではない。それにもかかわらず、従来の半導体記憶装置では、このような無用な部分も活性化してビット線の充放電に電力を使っているため、消費電力が大きいという問題があった。

この発明は上記のような問題点を解消するためになされたもので、通常アクセス時における消費電力を軽減することのできる半導体記憶装置を提供することを目的とする。

〔問題点を解決するための手段〕

この発明に係る半導体記憶装置は、1つのMOSFETおよび1つのキャパシタからなるメモリセルが行および列からなるマトリクス状に配置され、それぞれが複数列のメモリセルを有する複数の群に分割されるメモリアレイ、上記メモリアレイにおける各列にそれぞれが配置され、配置された列における複数のメモリセルに接続される複数のビット線対、上記複数のビット線対に接続される複数のセンスアンプ、上記メモリアレイの各群における各行にそれぞれが配置され、配置された行における複数のメモリセルに接続される複数の副ワード線、上記メモリアレイにおける行方向に上記複数の群に亘って延在し、各群に配置された複数の副ワード線のうちいずれかに対応してそれぞれが配置される複数の主ワード線、アドレス信号に応じて上記複数の主ワード線のうちいずれかを選択する行デコーダ、各主ワード線とこの主ワード線に対応した副ワード線との間にそれぞれ接続され、上記行デコーダによって選択された主ワード線に対応した副ワード線のうちからアドレス信号に応じたいずれかを選択する複数の副ワード線選択手段、上記複数のセンスアンプに共通に設けられ、所定の電位を伝達するセンスアンプ

用共通配線、上記複数のセンスアンプと上記センスアンプ用共通配線との間に接続され、選択された副ワード線に接続されたメモリセルが接続されるビット線対に接続されたセンスアンプと上記センスアンプ用共通配線とをアドレス信号に応じて接続させるスイッチング手段を備えて構成される。

〔作用〕

この発明においては、複数のセンスアンプとセンスアンプ用共通配線との間に接続され、選択された副ワード線に接続されたメモリセルが接続されるビット線対に接続されたセンスアンプとセンスアンプ用共通配線とをアドレス信号に応じて接続させるスイッチング手段を設けることによって、選択された副ワード線に対応するセンスアンプに所定の電位を伝達してセンスアンプを選択的に活性化させている。

したがって、複数のメモリセル、複数のビット線対および複数のセンスアンプのうち、通常アクセスに無用の部分の一部または全部を動作せず、それによって消費電力が軽減される。

〔実施例〕

以下、この発明をVSRAMに適用した一実施例について説明する。この実施例の全体構成は第2図に示した装置と同様であり、従来装置と異なるのは、メモリアレイ1とその周辺の構成である。そこで、以下では、この実施例におけるメモリアレイ1とその周辺回路とを示した第1図を中心として説明を進める。

まず、この実施例では、メモリアレイ1におけるワード線として2種類のワード線を設けている。そのひとつは行デコーダ3に接続された行ごとの主ワード線 WLM_i （ $i = 1 \sim m$ ）である。他のひとつは、メモリセル M_{ij} 側に接続されて、行の伸びる方向に沿って隣接した2個ずつのメモリセル（たとえば M_{11} と M_{12} 、 M_{13} と M_{14} ）ごとに設けられた副ワード線 WLS_{if} （ $i = 1 \sim m$ 、 $f = 1 \sim k$ ； $k = n/2$ ）である。そして、各副ワード線 WLS_{if} と主ワード線 WLM_i との間には、第1のスイッチング回路 SWB_{if} （ $i = 1 \sim m$ 、 $f = 1 \sim k$ ）がそれぞれ介挿されている。

また、第2図のタイミングジェネレータ6から与えられて第1図のセンスアンプ SA_j （ $j = 1 \sim n$ ）へと伸びるセンスアンプ活性化信号ライン25と、これらのセンスアンプ SA_j の間には、第2のスイッチング回路 SWA_j （ $j = 1 \sim n$ ）が介挿されている。

メモリセルアレイ1が多数の行と列とを含むことから、図示したように、これらの第1と第2のスイッチング回路 SWB_{if} 、 SWA_j は複数個ずつ存在しており、これらはたとえばMOSFETを用いて形成されている。そして、それらのスイッチング信号は、図示しないスイッチング信号線を介して別デコーダ4から与えられるようになっている。なお、以下では、行が伸びる方向に沿ってビット線対 BL_{ja} 、 BL_{jb} を2組ずつ組合わせたものを考え、各組合せ部分に属するメモリセルやセンスアンプなどを総称して、

行デコーダ3に近い順に「第 f 群」($f=1,2,\dots,k$)と呼ぶことにする。

次に、この実施例の動作を説明する。まず、通常アクセス時において、第2図のアービタ回路11の判定によって通常アクセスのための行アドレスRAが行デコーダ3に与えられる。また、これと並行して、列アドレスCAに応じた信号が列デコーダ4に与えられる。

列デコーダ4では、列アドレスCAに基づいて、アクセスすべきメモリセルが属する列を含んだ群を特定する。たとえば第1図のメモリセル M_{13} がアクセスされる場合には、このメモリセル M_{13} が属する列を含んだ第2群が特定される。

そして、この第2群内に含まれる第1と第2のスイッチング回路 $SWB_{12} \sim SWB_{m2}$; SWA_3, SWA_4 をすべてオンとし、残りのスイッチング回路 SWA_j ($j \neq 3, 4$), SWB_j ($j \neq 2$)はすべてオフとしておく。

このようにして、アクセスすべきメモリセル M_{13} が属する列に関連した部分のみが電氣的に互いに接続されて活性化可能状態とされた後、行デコーダ3が主ワード線 WLM_1 を駆動する。このプロセスにおいて、列アドレスCAは行アドレスRAと同時に入力されているため、主ワード線 WLM_1 の駆動開始までの行デコーダ3側の待機時間は実質的にゼロである。

第2群に含まれる第1のスイッチング回路 $SWB_{12} \sim SWB_{m2}$ がすべてオンであることにより、行デコーダ3によって駆動された主ワード線 WLM_1 の電位変化は副ワード線 WLS_{12} に伝達され、それによってメモリセル M_{13}, M_{14} のゲートが開く。そして、これらのメモリセル M_{13}, M_{14} に記憶されたデータはビット線対 BL_{3a}, BL_{3b} ; BL_{4a}, BL_{4b} のそれぞれの電位差として取出される。さらに、センスアンプ活性化信号線25にセンスアンプ活性化信号が与えられると、これらがセンスアンプ SA_3, SA_4 によってそれぞれ検出・増幅される。

このとき、スイッチング回路 SWA_3, SWA_4 をオンとし、残りのスイッチング回路 SWA_j ($j \neq 3, 4$)をすべてオフとしているため、2つのセンスアンプ SA_3, SA_4 のみがセンスアンプ活性化信号線25に接続される。その結果、センスアンプ活性化信号の伝達速度の向上を図りセンスアンプ SA_3, SA_4 を早期に活性状態にして検出・増幅動作の高速に行うことができる。

その後、列デコーダ4からのI/Oゲート信号によってI/Oゲートトランジスタ Q_{3a}, Q_{3b} がオンし、センスアンプ SA_3 の出力がI/O線21および▲線22を介して第2図のバッファレジスタ5に転送される。その後、主ワード線 WLM_1 の電位(したがって副ワード線 WLS_{12} の電位)が立下がり、第1と第2のスイッチング回路 $SWB_{12} \sim SWB_{m2}$; SWA_3, SWA_4 がオフとされる。そして、ビット線 BL_{3a}, BL_{3b} ; BL_{4a}, BL_{4b} がプリチャージされ、すべてのメモリセル M_{ij} が通常アクセスから解放される。

次にリフレッシュ時の動作について説明する。例として

主ワード線 WLM_1 に接続されているメモリセル $M_{11} \sim M_{1n}$ をリフレッシュする場合を考える。この場合には、リフレッシュ要求REFREQに基いてアービタ回路11がアドレスマルチプレクサ8を切換え、それによって、リフレッシュアドレスRFAが行デコーダ3に与えられる。

一方、アービタ回路11からリフレッシュを行なう旨の信号がタイミングジェネレータ6を介して列デコーダ4に与えられる。それに基づいて列デコーダ4は第1と第2のスイッチング回路 SWB_{if}, SWA_j ($i=1 \sim m, f=1 \sim k, j=1 \sim n$)のすべてをオンとする。

このため、主ワード線 WLM_1 の電位が立上がると第1行目の副ワード線 WLS_{if} ($f=1 \sim k$)のすべての電位も立上り、第1行目のメモリセル $M_{11} \sim M_{1n}$ のそれぞれに記憶されていたデータが各ビット線 BL_{ja}, BL_{jb} ($j=1 \sim n$)に読出される。そして、センスアンプ活性化信号ライン25にセンスアンプ活性化信号が与えられると各センスアンプ $SA_1 \sim SA_n$ が検出・増幅動作を開始する。それによってビット線 BL_{ja}, BL_{jb} ($j=1 \sim n$)上のデータが増幅され、それがメモリセル $M_{11} \sim M_{1n}$ 内に取込まれることによってリフレッシュが行なわれる。

その後、主ワード線 WLM_1 および副ワード線 WLS_{if} ($f=1 \sim k$)が立下がり、第1と第2のスイッチング回路 SWB_{if}, SWA_j ($i=1 \sim m, f=1 \sim k, j=1 \sim n$)のすべてがオフとされ、ビット線 BL_{ja}, BL_{jb} ($j=1 \sim n$)がプリチャージされる。これによって、メモリセル1はリフレッシュ動作から解放される。

すなわち、リフレッシュ時には第1と第2のスイッチング回路のすべてをオンとするのであり、このときには従来装置と同様のリフレッシュ動作がなされることになる。リフレッシュを行なう行以外についての第1のスイッチング回路 SWB_{if} ($i \neq 1, f=1 \sim k$)については必ずしもオンとする必要はないが、それらについての主ワード線 $WLM_2 \sim WLM_m$ の電位は立上がらないため、上記のように第1のスイッチング回路 SWB_{jf} ($i=1 \sim m, f=1 \sim k$)のすべてをオンとしても支障はない。

なお、上記実施例ではVSRAMにこの発明を適用したが、ひとつのトランジスタとひとつのキャパシタからなるダイナミックRAMのメモリセルを用いながらスタティックRAMのようにして使用可能なPSRAM(擬似スタティックRAM)などにもこの発明は適用可能である。このPSRAMそのものについては、H.Kawamoto et.al., "A 288K CMOS Pseudostatic RAM" IEEE J. Solid-State Circuits vol. SC-19, No. 5, Oct, 1984に開示されている。

このような自己リフレッシュ型の半導体記憶装置全般にこの発明が適用可能な理由は、これらでは通常アクセスとリフレッシュ動作との区別を比較的早いタイミングで知ることができるためである。

また、上記実施例では、行が伸びる方向に沿って隣接する2個のメモリセルごとに副ワード線や第1のスイッチング回路を設けたが、必ずしも2個ずつのメモリセルを

10

20

30

40

50

単位とする必要はなく、任意の個数のメモリセルを単位とすればよい。主ワード線 WL_M と各メモリセル M_{ij} のそれぞれの間に第1のスイッチング回路を設けるとときには、副ワード線を設ける必要はなく、主ワード線と各メモリセルの間に第1のスイッチング回路を直接介挿させればよい。

【発明の効果】

以上説明したように、この発明によれば、複数のセンスアンプとセンスアンプ用共通配線との間に接続され、選択された副ワード線に接続されたメモリセルが接続されるビット線対に接続されたセンスアンプとセンスアンプ用共通配線とをアドレス信号に応じて接続させるスイッチング手段を設けることによって、選択された副ワード線に対応するセンスアンプに所定の電位を伝達してセンスアンプを選択的に活性化させるため、無用の部分の活性化が行われず、消費電力を軽減させることができる。加えて、複数のセンスアンプに共通に設けられるセンス

アンプ用共通配線を選択された副ワード線に対応するセンスアンプのみに接続することにより、所定の電位の伝達速度の向上を図りセンスアンプを早期に活性状態にして検出・増幅動作を高速に行うことができる。

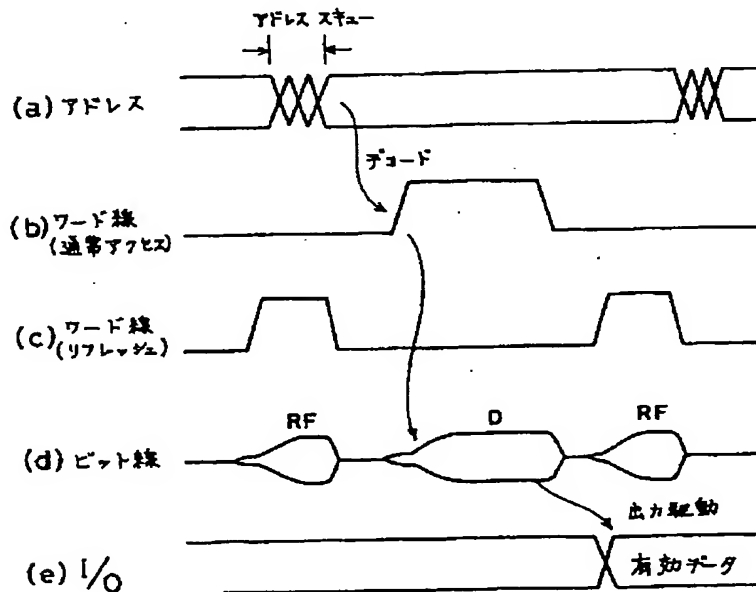
【図面の簡単な説明】

第1図はこの発明の一実施例におけるメモリセルとその周辺回路の一部を示す部分回路図、第2図はVSRAMの全体構成を示すブロック図、第3図は従来のVSRAMにおけるメモリセルとその周辺回路の一部を示す部分回路図、第4図はVSRAMの動作例を示すタイミングチャートである。

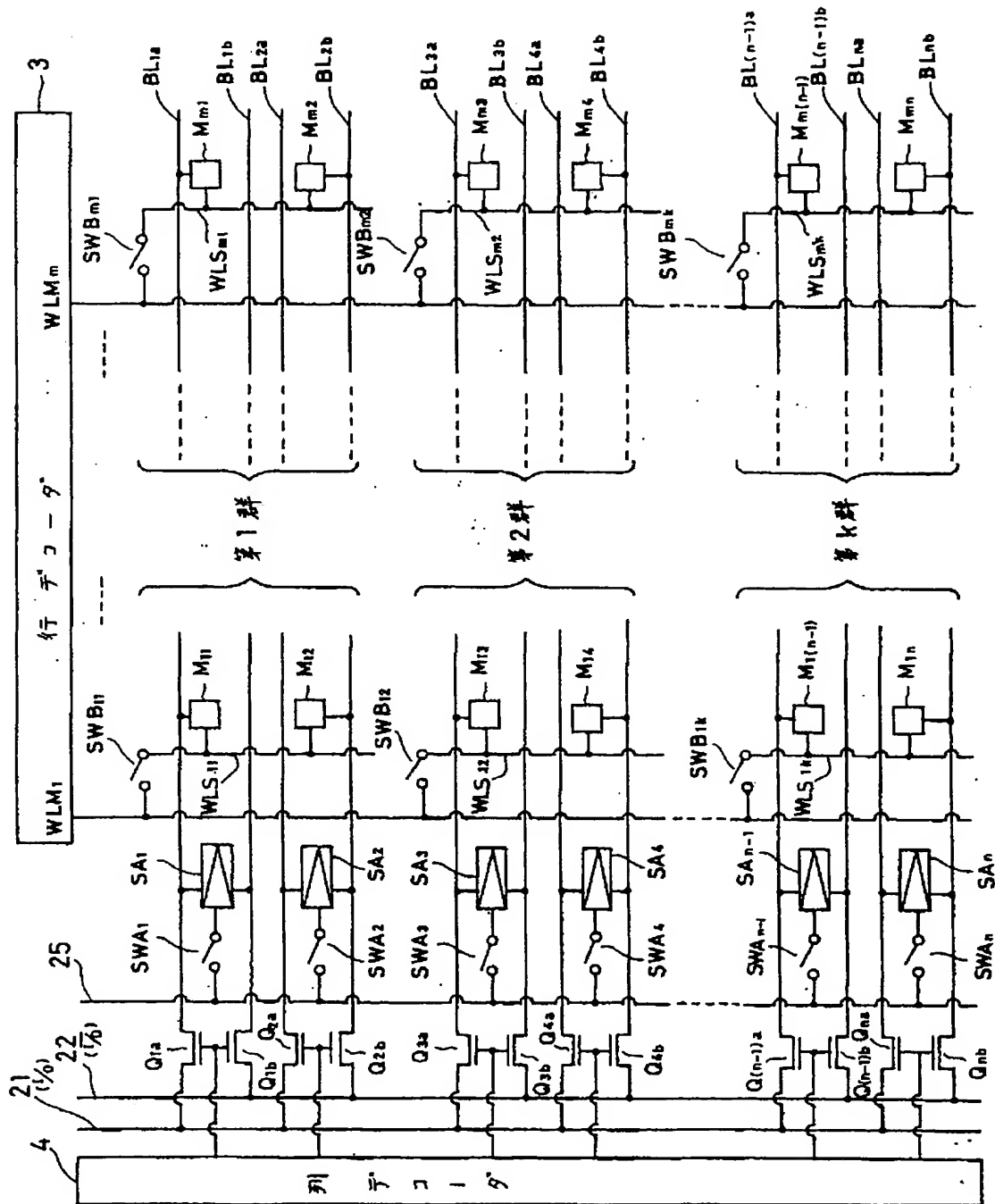
図において、1はメモリセル、2はセンスアンプ群、3は行デコーダ、4は列デコーダ、 M_{ij} はメモリセル、 SA_j はセンスアンプ、 WL_M は主ワード線、 WLS_{if} は副ワード線、 SWB_{if} は第1のスイッチング回路、 SWA_j は第2のスイッチング回路である。

なお、各図中同一符号は同一または相当部分を示す。

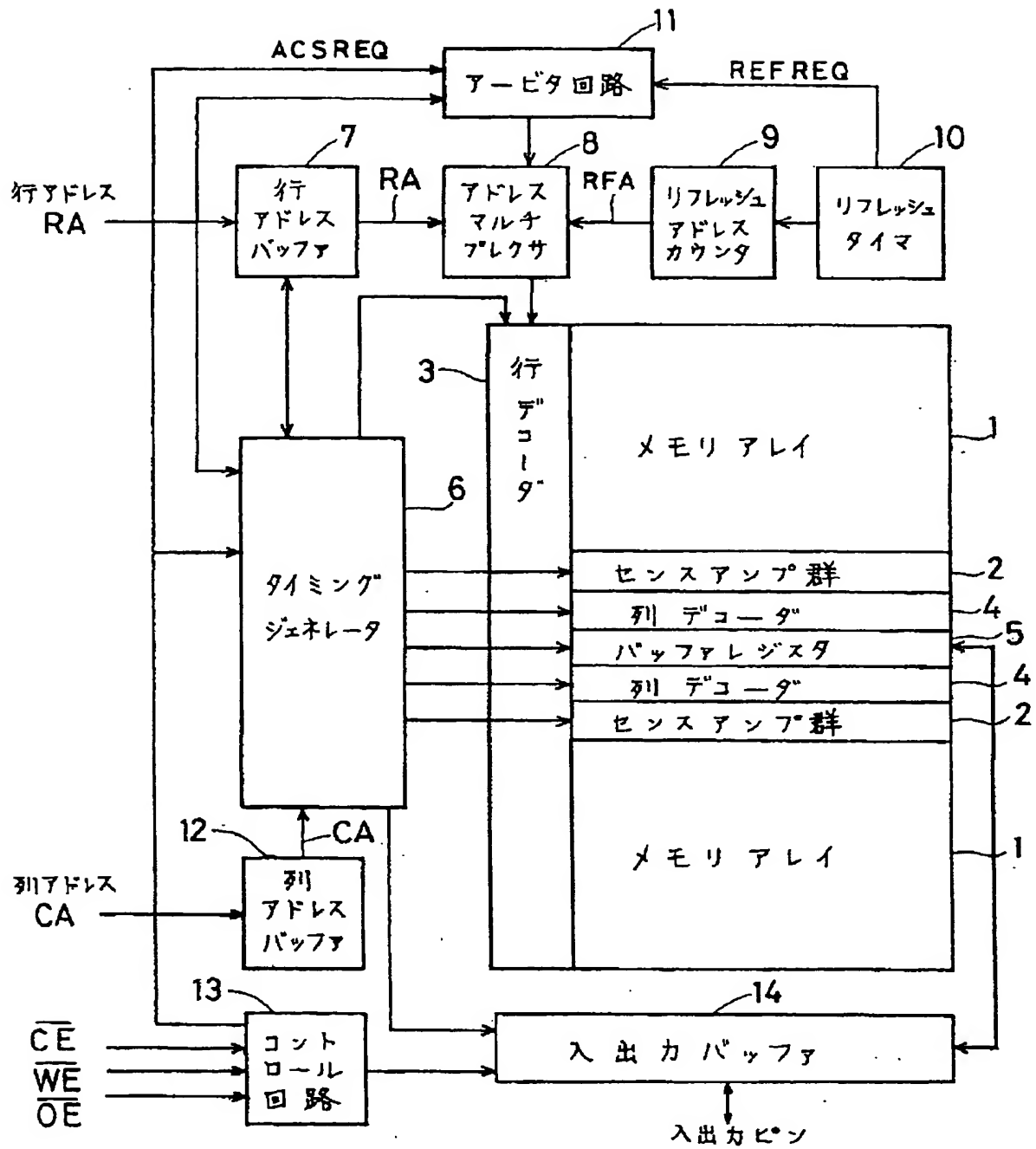
【第4図】



【第1図】



【第2図】



【第3図】

